

1/7/1

DIALOG(R)File 347:JAPIO

(c) 1998 JPO & JAPIO. All rts. reserv.

02690610

REVERSE CURRENT PREVENTING CIRCUIT FOR SERIES VOLTAGE REGULATOR

PUB. NO.: 63-307510 AJ

PUBLISHED: December 15, 1988 (19881215)

INVENTOR(s): HOSHINO TAKESHI

APPLICANT(s): SEIKO INSTR & ELECTRONICS LTD [000232] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 62-143626 [JP 87143626]

FILED: June 09, 1987 (19870609)

ABSTRACT

PURPOSE: To prevent a reverse current and to avoid the drop of the output voltage and the breakage of an output element, by setting the output element under a nonconductive state when the input voltage is reduced less than the output voltage level.

CONSTITUTION: A voltage comparator 8 performs comparison between an intermediate point (a) of a voltage dividing resistance 9 connected to an earth through the input side 1 of an output element 6 and an intermediate point (b) of a voltage dividing resistance 10 connected to the earth from the output side 2 of the element 6. In this case, the point (b) is divided at the same dividing rate as that of the point (a). The output of the comparator 8 performs control to set the element 6 under a nonconductive state in case the input voltage is reduced less than the output voltage level. Thus it is possible to prevent a reverse current and to avoid the breakage of the element 6 by setting the element 6 under a nonconductive state. Then the fluctuation of the input voltage is never transmitted to the output voltage.

?

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭63-307510

⑫ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)12月15日

G 05 F 1/56

3 2 0

G-8527-5H

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 シリーズボルテージレギュレータ逆流防止回路

⑮ 特 願 昭62-143626

⑯ 出 願 昭62(1987)6月9日

⑰ 発 明 者 星 野 健 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式
会社内

⑱ 出 願 人 セイコー電子工業株式 東京都江東区亀戸6丁目31番1号
会社

明 細 書

1. 発明の名称

シリーズボルテージレギュレータ逆流防止回路

2. 特許請求の範囲

(1) シリーズボルテージレギュレータにおいて、
前記シリーズボルテージレギュレータの入力電圧
が、前記シリーズボルテージレギュレータの出力
電圧より低下した場合に、前記シリーズボルテ
ージレギュレータの出力端子を非導通状態にする事
により出力側から入力側に向かって電流が逆流す
る事を防止することを特徴とするシリーズボルテ
ージレギュレータ逆流防止回路。

(2) MOS構造のシリーズボルテージレギュ
レータにおいて、出力トランジスタのゲート電位を出力
の電位と等しくするとともに、出力トランジス
タのウェルの電位を出力と等しくする事により、
出力トランジスタを非導通状態にして逆流を防止
する事を特徴とする特許請求の範囲第1項のシリ
ーズボルテージレギュレータ逆流防止回路。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、電子機器などの電源に用いるシリ
ーズボルテージレギュレータの逆流防止回路に関
する。

(発明の概要)

この発明は、シリーズボルテージレギュレー
タの逆流防止回路において、出力端子を非導通状
態にする事により、シリーズボルテージレギュ
レータの出力から入力への逆流を防止するようにした
ものである。

(従来の技術)

従来、第2図に示すように、出力電圧を抵抗
で分圧し、電圧比較器で基準電圧と比較して
出力端子を導通させる、シリーズボルテージレ
ギュレータが知られていた。

(発明が解決しようとする課題)

しかし、従来のシリーズボルテージレギュ
レータは、何らかの理由により入力電圧が出力電圧よ
り低下すると出力端子を導通させて電流が逆流し、

出力電圧の低下や、出力素子の破壊が生じるなどの欠点があった。

そこで、この発明は、従来のこのような欠点を解決するため、入力電圧が出力電圧より低下した場合に出力素子を非導通状態にする事により逆流を防止して、出力電圧の低下や出力素子の破壊を防止する事を目的としている。

(問題点を解決するための手段)

上記問題点を解決するためにこの発明は、第1図のように出力素子の入力側とアース側、出力側とアース側の間に分圧抵抗を挿入し、電圧比較器により同一分割比の点 α 、 β の電位の比較を行い逆流の可能性がある場合には、出力素子を非導通状態にして出力から入力への逆流を防止するようにした。

(作用)

上記のように構成されたシリーズボルテージレギュレータにおいて、入力電圧が出力電圧よりも低下すると、点 α の電位も点 β の電位より低くなり、電圧比較器の出力が反転する。この出力を用

いて出力素子を非導通状態にする。これにより出力から入力への逆流が防止される。

(実施例)

以下に、この発明の実施例を図面に基づいて説明する。第1図において出力 2 からアースに接続される分圧抵抗 7 の中間点 C の電位は、出力 2 が設定された電位になった時、基準電圧 4 と等しくなるように設計されており、電圧比較器 5 により基準電圧 4 と比較される。電圧比較器 5 の出力は出力電圧が設定値と等しくなるように、出力素子 6 を制御している。出力素子 6 の入力側からアースに接続される分圧抵抗 9 の中間点 α と、出力 2 からアースに接続される分圧抵抗 10 において、分圧抵抗 9 の中間点 β と同じ分割比に分割される中間点 γ の電位は電圧比較器 8 によって比較されている。電圧比較器 8 の出力は、入力電圧が出力電圧よりも低下した場合に、出力素子 6 を非導通状態にするように制御している。

第3図は、出力素子 6 がMOS構造のトランジスタである場合に非導通状態にする回路を示した

ものである。第3図は正電圧レギュレータで、出力トランジスタがP型の場合である。入力 1 の電位が出力 2 の電位より高い場合には、電圧比較器 5 の出力は、アースレベルとなっている。インバータ 11 の出力は、入力 1 と同じ電位で、P2、14、P3、15は、非導通状態になっている。インバータ 12 の出力は、アースレベルとなっておりP1、13が導通して、ウェルの電位は、入力と等しくなっている。

入力 1 の電位が、出力 2 の電位より低くなった場合には、P2、14とP3、15が導通し、ウェルの電位を入力 1 から出力 2 へ切りかえるとともに、出力トランジスタのゲート電圧を出力 2 の電位と等しくする事により、非導通状態にし逆流を防止する。

(発明の効果)

この発明は、以上説明したように、出力素子を非導通状態にする事により逆流を防止し、出力素子の破壊を防止し、出力電圧に入力電圧の変動が伝わらないようにするに効果がある。

4. 図面の簡単な説明

第1図は、この発明にかかる逆流防止回路付シリーズボルテージレギュレータの概略図、第2図は、従来のシリーズボルテージレギュレータの回路図、第3図は、出力素子がMOS構造の場合の逆流防止回路の回路図である。

6・・・出力素子

8・・・電圧比較器

9、10・・・分圧抵抗

以 上

出願人 マイコー電子工業株式会社

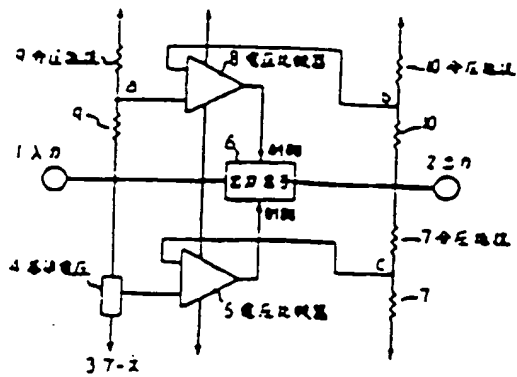


図1は、差動増幅回路のブロック図である。

第1図

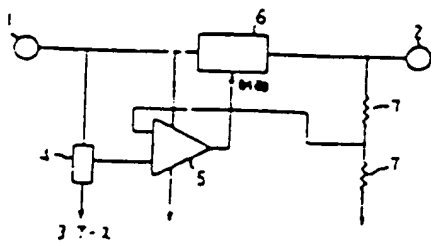


図2は、差動増幅回路のブロック図である。

第2図

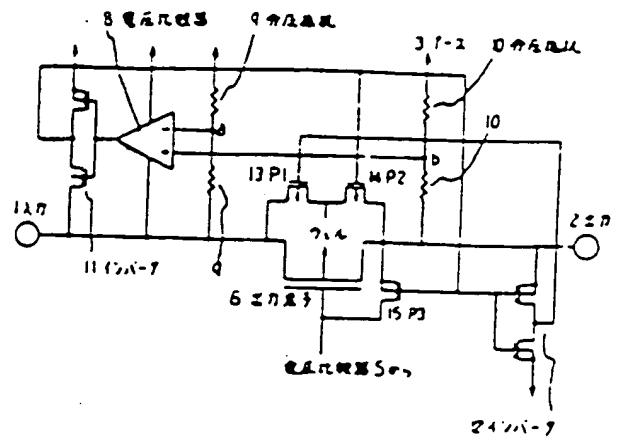


図3は、C-MOS構成の差動増幅回路のブロック図である。

第3図